

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0057461  
Application Number PATENT-2002-0057461

출원년월일 : 2002년 09월 19일  
Date of Application SEP 19, 2002

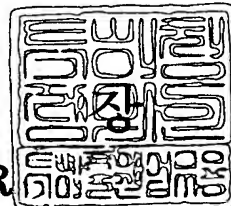
출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 12 월 18 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0027
【제출일자】	2002.09.19
【국제특허분류】	H01L
【발명의 명칭】	바이폴라 트랜지스터 및 그 제조 방법
【발명의 영문명칭】	Bipolar transistor and method of manufacturing the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	박강욱
【성명의 영문표기】	PARK,Kang Wook
【주민등록번호】	660518-1920538
【우편번호】	135-280
【주소】	서울특별시 강남구 대치동 926-6
【국적】	KR
【발명자】	
【성명의 국문표기】	양봉길
【성명의 영문표기】	YANG,bong Kil
【주민등록번호】	720706-1954113

**【우편번호】** 442-470  
**【주소】** 경기도 수원시 팔달구 영통동 1052-2 쌍용아파트 249-1104  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
 이영필 (인) 대리인  
 정상빈 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 6 면 6,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 20 항 749,000 원  
**【합계】** 784,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

베이스 기생 저항을 최소화할 수 있는 베이스 반도체층 구조를 가지는 바이폴라 트랜지스터 및 그 제조 방법에 대하여 개시한다. 본 발명에 따른 바이폴라 트랜지스터는 제1 도전형의 반도체 기판상에 상기 반도체 기판상의 소자 분리 영역에 의하여 한정되는 제2 도전형의 콜렉터 영역이 형성되어 있다. 제1 도전형의 제1 베이스 반도체층이 상기 콜렉터 영역의 상면으로부터 상기 소자 분리 영역의 상면까지 연장되어 있다. 상기 제1 베이스 반도체층은 SiGe층으로 이루어진다. 또한, 제1 도전형의 제2 베이스 반도체층이 상기 제1 베이스 반도체층의 상면중 에미터 영역 및 에미터 절연막이 형성된 영역을 제외한 부분에만 형성되어 있다. 상기 제2 베이스 반도체층 위에는 베이스 오믹층이 형성되어 있다.

**【대표도】**

도 11

**【색인어】**

바이폴라 트랜지스터, 베이스 기생 저항, 베이스 반도체층, 에피택셜

**【명세서】****【발명의 명칭】**

바이폴라 트랜지스터 및 그 제조 방법 {Bipolar transistor and method of manufacturing the same}

**【도면의 간단한 설명】**

도 1 내지 도 11은 본 발명의 일 실시예에 따른 바이폴라 트랜지스터의 제조 방법을 설명하기 위한 단면도들이다.

도 12는 본 발명의 다른 실시예에 따른 바이폴라 트랜지스터의 제조 방법을 설명하기 위한 단면도이다.

**<도면의 주요 부분에 대한 부호의 설명>**

10: 반도체 기판, 12: 고농도 콜렉터 영역, 16: 콜렉터 영역, 18: 콜렉터 싱커, 20: 소자 분리 영역, 32: 제1 절연막 패턴, 34: 실리콘막 패턴, 40: 제1 베이스 반도체층, 42a: 에미터 절연막, 44a: 에미터 영역, 52: 에미터, 60: 제2 베이스 반도체층, 70: 베이스 오믹층, 80: 제4 절연막 패턴, 82: 베이스 전극, 84: 에미터 전극, 86: 콜렉터 전극, 92: 제1 SIC 영역, 94: 제2 SIC 영역.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <5>        본 발명은 바이폴라 트랜지스터 및 그 제조 방법에 관한 것으로, 특히 고성능의 헤테로 접합 바이폴라 트랜지스터 (heterojunction bipolar transistor: HBT) 및 그 제조 방법에 관한 것이다.
- <6>        최근, 통신 산업이 급속히 발전하고, 데이터 통신 시스템이 고속화됨에 따라 고속, 고주파 트랜지스터와 같은 소자 개발에 대한 연구 및 개발이 활발히 이루어지고 있다. 지금까지는 실리콘층에 이온을 주입하여 베이스를 형성하는 바이폴라 트랜지스터와 같은 실리콘 레벨의 소자가 상용화되었으나, 초고속 통신망에 대한 사회적 요구가 증가함에 따라 이를 더욱 개선하여, SiGe를 결정성장시켜 베이스를 형성하는 헤테로 접합 바이폴라 트랜지스터 기술이 등장하였다.
- <7>        종래 기술의 일 예에 따른 바이폴라 트랜지스터의 구조에서는 베이스 전극으로부터 에미터 전극으로 전류가 흐를 때 저항을 줄이기 위하여, 실리콘으로 이루어지는 베이스층 위에 금속 실리사이드층과 같은 저저항 막질을 형성하였다. 그러나, 이와 같은 구조에서는, 상기 베이스층이 Ge을 포함하는 1000Å 이하의 얇은 실리콘막으로 이루어진 경우에, 적절한 일정 두께를 가지는 금속 실리사이드층을 형성하는 것이 매우 어렵다. 특히, 상기 금속 실리사이드층의 응집(agglomeration)이 발생할 경우, 상기 금속 실리사이드층이 상기 베이스층을 관통하여 콜렉터 영역과 직접 전기적으로 접촉될 수가 있다. 이와 같은 결과가 발생된 경우에는 베이스-콜렉터 사이에 PN 접합이 아닌 쇼트키

(schottky) 접합이 이루어져 동작 속도가 저하되고 비정상적인 동작을 유발할 수 있다. 이를 방지하기 위하여는 금속 실리사이드층은 콜렉터 영역으로부터 어느 정도 벗어난 영역에만 형성되도록 설계되어야 한다. 이와 같은 경우에는 베이스 기생 저항이 커져서 소자 성능이 저하되고, 또한 소자의 크기를 축소(scale-down)시키는 데 한계가 있다.

- <8>      상기와 같은 문제점을 해결하기 위하여, 종래 기술의 다른 예에 따른 바이폴라 트랜지스터에서는, 콜렉터 영역의 표면 근방에 베이스층과 동일한 도전형의 불순물을 이온 주입하여 베이스 주입 영역을 형성하였다. 그러나, 이와 같은 구조에서는 콜렉터 영역 내에 상기 콜렉터 영역에 이온 주입된 불순물과는 반대의 도전형을 가지는 상기 베이스 주입 영역이 형성됨에 따라 접합 커패시턴스가 증가한다. 따라서, 베이스 전극으로부터 공급된 고주파 신호 전류가 에미터 전극으로 이동하기 전에 콜렉터 영역을 구성하는 웰로 이동하는 양이 많아지고, 그 결과 장치의 효율이 저하된다. 또한, 상기 베이스 주입 영역을 형성하기 위하여는, Ge를 포함하는 실리콘 막질인 상기 베이스층을 관통하여 이온 주입을 실시하여야 하며, 이 때 다량의 결함이 발생되고, 그 결과 장치의 잡음 및 누설 전류 특성이 열화된다. 이와 같은 이유로 인하여, 베이스 전극과 에미터 전극 사이의 전류 저항을 감소시키기 위해 고농도의 불순물을 주입할 수 없으며, 이로 인하여 베이스 전극과 에미터 전극 사이의 전류 저항을 감소시키는 데에는 한계가 있다. 한편, 베이스 오믹 전극으로부터 진성 베이스 영역에 도달하기까지의 비진성 베이스 영역의 길이는 짧게 할수록 기생 저항이 줄어들어 베이스 전극과 에미터 전극 사이의 전류 저항을 감소시킬 수 있다. 그러나, 상기 베이스 주입 영역을 포함하는 종래 기술에 따른 바이폴라 트랜지스터에서는 비진성 베이스 영역의 길이를 짧게 할 경우 콜렉터 영역과 에미터 영

역과의 접합에서 누설 전류가 발생하므로, 상기 비진성 베이스 영역의 길이를 감소시키는 데에는 한계가 있으며, 따라서 소자의 크기를 축소시키는 데 한계가 있다.

**【발명이 이루고자 하는 기술적 과제】**

<9> 본 발명의 목적은 상기한 바와 같은 종래 기술에 따른 문제점을 해결하고자 하는 것으로, 콜렉터-베이스 사이의 기생 접합 용량 및 베이스 기생 저항을 최소화하면서 베이스 전극과 에미터 전극 사이의 전류 저항을 감소시킴으로써 신호 전송 효율을 증가시킬 수 있고, 저전력, 저잡음, 및 고속 신호 처리가 가능한 구조를 가지는 바이폴라 트랜지스터를 제공하는 것이다.

<10> 본 발명의 다른 목적은 콜렉터-베이스 사이의 기생 접합 용량 및 베이스 기생 저항을 최소화하면서 베이스 전극과 에미터 전극 사이의 전류 저항을 감소시킴으로써 신호 전송 효율을 증가시킬 수 있고, 저전력, 저잡음, 및 고속 신호 처리가 가능한 바이폴라 트랜지스터의 제조 방법을 제공하는 것이다.

**【발명의 구성 및 작용】**

<11> 상기 목적을 달성하기 위하여, 본 발명에 따른 바이폴라 트랜지스터는 제1 도전형의 반도체 기판상에 상기 반도체 기판상의 소자 분리 영역에 의하여 한정되는 제2 도전형의 콜렉터 영역이 형성되어 있다. 제1 도전형의 제1 베이스 반도체층이 상기 콜렉터 영역의 상면으로부터 상기 소자 분리 영역의 상면까지 연장되어 있다. 상기 제1 베이스 반도체층은 SiGe층으로 이루어진다. 상기 제1 베이스 반도체층 위에는 에미터 절연막에 의하여 한정되는 영역 내에서 상기 제1 베이스 반도체층과 접하도록 형성된 제2 도전형의 에미터 영역이 있다. 또한, 제1 도전형의 제2 베이스 반도체층이 상기 제1 베이스 반



도체층의 상면중 상기 에미터 영역 및 에미터 절연막이 형성된 영역을 제외한 부분에만 형성되어 있다. 상기 제2 베이스 반도체층 위에는 베이스 오믹층이 형성되어 있다. 상기 에미터 영역 위에는 에미터 전극이 형성되어 있다. 베이스 전극은 상기 에미터 전극의 양 측에서 상기 제2 베이스 반도체층 위에 형성되어 있다.

<12> 바람직하게는, 상기 제2 베이스 반도체층은 에피택셜 성장층으로 이루어진다. 또한 바람직하게는, 상기 제1 도전형은 p형이고, 상기 제2 도전형은 n형이다.

<13> 본 발명에 따른 바이폴라 트랜지스터는 상기 콜렉터 영역의 표면 근방에서 상기 소자 분리 영역에 인접하게 형성된 제2 도전형의 제1 SIC (selectively ion implanted collector) 영역을 더 포함할 수 있다.

<14> 또한 본 발명에 따른 바이폴라 트랜지스터는 상기 콜렉터 영역중 상기 에미터 영역의 아래에 위치되는 부분에 형성된 제2 도전형의 제2 SIC 영역을 더 포함할 수 있다.

<15> 상기 베이스 오믹층은 금속 실리사이드로 이루어지는 것이 바람직하다. 예를 들면, 상기 베이스 오믹층은 티타늄 실리사이드 또는 코발트 실리사이드로 이루어진다.

<16> 본 발명에 따른 바이폴라 트랜지스터는 상기 베이스 전극의 아래에서 상기 소자 분리 영역과 상기 제1 베이스 반도체층 사이에 형성된 절연막을 더 포함할 수 있다. 상기 절연막은 산화막 또는 질화막으로 이루어진다.

<17> 또한, 본 발명에 따른 바이폴라 트랜지스터는 상기 절연막과 상기 제1 베이스 반도체층 사이에 형성된 실리콘막을 더 포함할 수 있다.

<18> 상기 다른 목적을 달성하기 위하여, 본 발명에 따른 바이폴라 트랜지스터의

제조 방법에서는 제1 도전형의 반도체 기판상에 소자 분리 영역에 의하여 한정된 제2 도전형의 콜렉터 영역을 형성한다. 상기 소자 분리 영역 및 콜렉터 영역의 위에 제1 도전형의 제1 베이스 반도체층을 형성한다. 상기 제1 베이스 반도체층 위에 에미터 절연막과, 상기 에미터 절연막에 의하여 상기 제1 베이스 반도체층과의 접촉 영역이 한정되는 제2 도전형의 에미터 영역을 형성한다. 상기 제1 베이스 반도체층의 상면중 상기 에미터 영역 및 에미터 절연막이 형성된 영역을 제외한 부분에 실리콘층으로 이루어지는 제1 도전형의 제2 베이스 반도체층을 형성한다. 상기 제2 베이스 반도체층 위에 베이스 오믹층을 형성한다. 상기 베이스 오믹층 위에 베이스 전극을 형성한다.

<19> 본 발명에 따른 바이폴라 트랜지스터의 제조 방법에서는 상기 제1 베이스 반도체층을 형성하기 위하여, 먼저 선택적 에피택셜 성장 방법에 의하여 상기 콜렉터 영역에 접하는 단결정 실리콘층을 형성한다. 그 후, 상기 단결정 실리콘층 위에 제1 도전형의 불순물을 포함하는 SiGe층을 형성한다.

<20> 바람직하게는, 상기 제2 베이스 반도체층은 500 ~ 900℃의 온도 조건 하에서 선택적 에피택셜 성장 방법에 의하여 형성된다.

<21> 본 발명에 따른 바이폴라 트랜지스터의 제조 방법에서는 상기 에미터 영역이 형성된 결과물을 열처리하여 상기 제1 베이스 반도체층중 상기 에미터 영역과 접촉되는 부분에 제2 도전형 에미터를 형성하는 단계를 더 포함할 수 있다.

<22> 또한, 본 발명에 따른 바이폴라 트랜지스터의 제조 방법에서는 상기 콜렉터 영역의 표면 근방에서 상기 소자 분리 영역에 인접한 부분에 제2 도전형의 제1 SIC 영역을 형성하는 단계를 더 포함할 수 있다. 또한, 본 발명에 따른 바이폴라 트랜지스터의 제조

방법에서는 상기 콜렉터 영역중 상기 에미터 영역의 아래에 위치되는 부분에 제2 도전형의 제2 SIC 영역을 형성하는 단계를 더 포함할 수 있다.

<23> 본 발명에 따른 바이폴라 트랜지스터의 제조 방법에서는 상기 제1 베이스 반도체층을 형성하기 전에, 상기 소자 분리 영역 위에 상기 콜렉터 영역을 노출시키는 절연막 패턴을 형성하는 단계를 더 포함할 수 있다. 이 때, 상기 절연막 패턴 위에 상기 콜렉터 영역을 노출시키는 실리콘막 패턴을 형성하는 단계를 더 포함할 수도 있다.

<24> 본 발명에 따른 바이폴라 트랜지스터에서는 기생 저항 및 접합 커패시턴스를 최소화하면서 베이스 전극과 에미터 전극 사이의 전류 저항을 감소시킴으로써, 전송 효율을 증가시킬 수 있으며, 온도에 의한 신호 왜곡을 줄일 수 있어, 소신호, 저전력에 의하여 소자의 고속화 및 저잡음화를 이룰 수 있다.

<25> 다음에, 본 발명의 바람직한 실시예들에 대하여 첨부 도면을 참조하여 상세히 설명한다.

<26> 다음에 예시하는 실시예들은 여러가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다. 첨부 도면에서 막 또는 영역들의 크기 또는 두께는 명세서의 명확성을 위하여 과장되어진 것이다. 또한, 어떤 막이 다른 막 또는 기판의 "위"에 있다라고 기재된 경우, 상기 어떤 막이 상기 다른 막의 위에 직접 존재할 수도 있고, 그 사이에 제3의 다른 막이 개재될 수도 있다.

<27> 도 1 내지 도 11은 본 발명의 일 실시예에 따른 바이폴라 트랜지스터의 제조 방법을 설명하기 위한 단면도들이다.

<28> 도 1을 참조하면, p형의 반도체 기판(10)에 인(P)과 같은 n형 불순물을 주입하여 n<sup>+</sup>형의 고농도 콜렉터 영역(12) 및 n<sup>-</sup>형의 저농도 콜렉터 영역(14)을 형성한다. 그 후, 이웃하는 소자들을 전기적으로 분리시키기 위하여, 예를 들면 STI (shallow trench isolation) 방법에 의하여 소자 분리 영역(20)을 형성한다. 상기 소자 분리 영역(20)은 STI 방법 외에 LOCOS (local oxidation of silicon), PSL (polysilicon spacer LOCOS), PBL (polysilicon buffered LOCOS) 등과 같은 방법에 의하여 형성하는 것도 가능하다. 그 후, 포토레지스트막(도시 생략)을 마스크로 하여 상기 반도체 기판(10)의 노출된 일부에 n형 불순물 이온을 주입하여 n<sup>+</sup>형 콜렉터 싱커(sinker)(18)를 형성한다. 여기서, 상기 소자 분리 영역(20)은 상기 저농도 콜렉터 영역(14)중에서 에미터가 형성될 소자 활성 영역인 콜렉터 영역(16)과 상기 콜렉터 싱커(18)가 형성될 부분을 제외한 영역에만 형성되며, 상기 콜렉터 영역(16)은 상기 소자 분리 영역(20)에 의하여 한정된다.

<29> 도 2를 참조하면, 상기 콜렉터 영역(16) 및 콜렉터 싱커(18)의 상면이 각각 노출되어 있는 상기 반도체 기판(10)상에 상기 콜렉터 영역(16)을 노출시키도록 차례로 적층된 제1 절연막 패턴(32) 및 실리콘막 패턴(34)을 형성한다. 이를 위하여, 먼저 상기 반도체 기판(10)상의 전면에 예를 들면 산화막 또는 질화막과 같은 제1 절연막을 형성하고, 그 위에 실리콘막을 형성한다. 상기 실리콘막은 SiGe막으로 구성될 수 있다. 그 후, 포토소그래피 공정에 의하여 상기 실리콘막을 건식 식각하여 상기 실리콘막 패턴(34)을 형성하고, 이어서 상기 실리콘막 패턴(34)을 식각 마스크로 하여 상기 제1 절연막을 습

식 식각하여 상기 제1 절연막 패턴(32)을 형성한다. 상기 제1 절연막 패턴(32)을 형성하기 위한 식각 공정으로서 습식 식각 방법 대신 건식 식각 방법을 이용할 수도 있다.

<30> 도 3을 참조하면, 상기 실리콘막 패턴(34)에 의하여 상기 콜렉터 영역(16)이 노출되어 있는 결과물 전면에서 SiGe층으로 이루어지는 p<sup>+</sup>형의 제1 베이스 반도체층(40)을 수백 ~ 2000Å의 두께로 형성한다. 상기 제1 베이스 반도체층(40)을 형성하는 데 있어서, 상기 제1 베이스 반도체층(40)중 상기 콜렉터 영역(16)과 접촉되는 부분은 단결정 실리콘층으로 이루어지고, 상기 단결정 실리콘층 위에는 붕소(B)와 같은 p형의 불순물이 적정 농도 및 기울기로 도핑된 SiGe층으로 이루어지도록 하기 위하여 약 500 ~ 900℃의 범위 내에서 선택되는 비교적 저온에서 이루어지는 선택적 에피택셜 성장 공정을 이용한다.

<31> 도 4를 참조하면, 후속 공정에서 형성될 에미터 영역을 전기적으로 분리시키는 데 필요한 제2 절연막을 상기 제1 베이스 반도체층(40) 위에 형성한다. 상기 제2 절연막은 예를 들면 산화막 또는 질화막으로 이루어질 수 있다. 그 후, 포토리소그래피 공정을 이용하여 상기 제2 절연막을 패터닝하여 상기 콜렉터 영역(16)중 에미터 접합 부분만을 노출시키는 제2 절연막 패턴(42)을 형성한다.

<32> 도 5를 참조하면, 상기 제2 절연막 패턴(42)이 형성된 결과물 전면에서 n<sup>+</sup>형 실리콘막(44)을 형성한다. 상기 실리콘막(44)은 에미터 영역을 형성하기 위한 것이다. 상기 n<sup>+</sup>형 실리콘막(44)을 형성하는 데 있어서, 상기 실리콘막(44)을 형성하기 위한 증착 공정 중에 n형 불순물을 첨가하는 방법을 이용하는 것도 가능하고, 실리콘 증착 공정 완료 후 이온 주입과 같은 방법으로 n형 불순물을 첨가하는 것도 가능하다. 상기 실리콘막(44)

의 상부에서 선택적 실리콘 성장에 의하여 불필요한 실리콘막이 형성되는 것을 방지하기 위하여 상기 실리콘막(44) 위에 제3 절연막(46)을 형성한다. 상기 제3 절연막(46)은 산화막 또는 질화막으로 이루어질 수 있다.

<33> 도 6을 참조하면, 에미터 접합 형성을 위하여 상기 결과물을 열처리(50)한다. 상기 열처리(50)는 예를 들면 800 ~ 1000℃의 온도에서 이루어지는 RTA (rapid thermal anneal) 공정에 따라 행해질 수 있다. 상기 열처리(50) 결과, 상기 제1 베이스 반도체층(40)중 상기 실리콘층(44)에 접촉되는 부분에는 n<sup>+</sup>형 에미터(52)가 형성된다. 상기 열처리(50) 단계는 경우에 따라 생략 가능하다.

<34> 도 7을 참조하면, 포토리소그래피 공정에 의하여 상기 제3 절연막(46), 실리콘막(44) 및 제2 절연막 패턴(42)을 패턴닝하여, n<sup>+</sup>형의 에미터 영역(44a)과, 상기 에미터 영역(44a)을 한정하는 에미터 절연막(42a)을 형성한다.

<35> 도 8을 참조하면, 500 ~ 900℃의 범위 내에서 선택되는 비교적 저온에서 이루어지는 선택적 에피택셜 성장 방법에 의해 상기 제1 베이스 반도체층(40)의 노출된 상면에 실리콘을 성장시켜 약 1000Å 두께를 가지는 제2 베이스 반도체층(60)을 형성한다. 상기 제2 베이스 반도체층(60)은 p형의 불순물을 함유하도록 형성된다. 이 때, 상기 에미터 영역(44a)의 노출된 표면에도 실리콘이 에피택셜 성장된다.

<36> 도 9를 참조하면, 포토리소그래피 공정에 의하여 상기 제1 절연막 패턴(32), 실리콘막 패턴(34), 제1 베이스 반도체층(40), 제3 절연막(46) 및 제2 베이스 반도체층(60)의 불필요한 부분을 제거하고, 상기 제2 베이스 반도체층(60) 위에 금속 실리콘사이드로 이루어지는 베이스 오믹층(70)을 형성한다. 이를 위하여, 상기 제2 베이스 반도체층(60)의 노출된 실리콘 위에 티타늄, 코발트 등과 같은 금속을 덮고 이를 실리콘사이드화한다.

이 때, 상기 반도체 기판(10)상의 노출된 실리콘 부분, 즉 상기 에미터 영역(44a)의 노출 표면 및 상기 콜렉터 싱커(18)의 상면에도 금속 실리사이드층이 형성된다.

<37> 도 10을 참조하면, 상기 베이스 오믹층(70)이 형성된 결과물상에 평탄화된 제4 절연막을 형성하고, 이를 패터닝하여 베이스 전극 형성 영역(72), 에미터 전극 형성 영역(74) 및 콜렉터 전극 형성 영역(76)이 각각 개구된 제4 절연막 패턴(80)을 형성한다.

<38> 도 11을 참조하면, 상기 제4 절연막 패턴(80)이 형성된 결과물상에 금속 배선 물질, 예를 들면 구리 또는 알루미늄을 증착하고, 이를 에치백하여 베이스 전극(82), 에미터 전극(84) 및 콜렉터 전극(86)을 각각 형성한다. 상기 베이스 전극(82)은 상기 에미터 전극(84)의 양 측에 형성된다.

<39> 상기한 바와 같이, 본 발명에 따른 바이폴라 트랜지스터는 상기 콜렉터 영역(16)의 상면으로부터 상기 소자 분리 영역(20)의 상면까지 연장되어 있는 SiGe층으로 이루어지는 상기 제1 베이스 반도체층(40) 위에 상기 제1 베이스 반도체층(40)과 동일한 물질로 이루어지는 상기 제2 베이스 반도체층(60)이 형성되고, 상기 제2 베이스 반도체층(60) 위에는 상기 베이스 오믹층(70)이 형성된다. 상기 제2 베이스 반도체층(60)은 상기 베이스 오믹층(70)을 구성하는 금속 실리사이드보다 저저항막으로 이루어지는 것으로, 상기 제1 베이스 반도체층(40)과 동일한 도전형을 가지는 불순물을 첨가할 수 있다. 따라서, 종래 기술에서와 같이 콜렉터 영역의 표면 근방에 베이스층과 동일한 도전형의 불순물을 이온 주입하여 베이스 주입 영역을 형성하지 않고도, 상기 제2 베이스 반도체층(60)에 불순물을 고농도로 첨가함으로써 상기 베이스 전극(82)과 에미터 전극(84)과의 사이의 전류 저항을 감소시킬 수 있으며, 이온 주입에 따른 결함이 발생될 염려가 없다. 또한,

컬렉터 영역(16)에 상기 베이스 주입 영역을 형성할 필요가 없으므로, 상기 컬렉터 영역(16)에서 반대 도전형의 반도체 영역간의 접합 커패시턴스를 줄일 수 있다.

<40> 또한, 상기 에미터 절연막(42a)의 수평 거리를 줄이는 것이 가능하여 상기 베이스 전극(82)과 에미터 전극(84)과의 사이의 전류 저항을 감소시키는 데 있어서 더욱 유리하다.

<41> 그리고, 상기 제1 베이스 반도체층(40) 위에 상기 제2 베이스 반도체층(60)을 형성함으로써 그 위에 금속 실리사이드로 이루어지는 상기 베이스 오믹층(70)을 보다 안정적으로 형성할 수 있으며, 따라서 베이스 전극(82)과 에미터 전극(84) 사이의 전류 저항을 효과적으로 감소시킬 수 있어, 소자의 고속화 및 저잡음화를 이룰 수 있다.

<42> 도 12는 본 발명의 다른 실시예에 따른 바이폴라 트랜지스터의 제조 방법을 설명하기 위한 단면도이다. 도 12에서, 도 1 내지 도 11에서와 대응되는 부분은 각각 동일한 참조 부호로 표시하였다.

<43> 도 12에 도시한 바와 같이, 본 발명에 따른 바이폴라 트랜지스터의 제조 방법에서는 상기 컬렉터 영역(16)의 표면 근방에서 상기 소자 분리 영역(20)에 인접한 부분에 n형의 불순물을 이온 주입하여 n형의 제1 SIC (selectively ion implanted collector) 영역(92)을 형성할 수 있다. 상기 컬렉터 영역(16)중 상기 에미터 영역(44a)의 아래에 위치되는 부분에 n형의 불순물을 이온 주입하여 n형의 제2 SIC 영역(94)을 형성할 수 있다.

<44> 상기 제1 SIC 영역(92)은 상기 소자 분리 영역(20)의 에지 부분, 즉 산화막과 실리콘과의 계면에서의 누설 전류 발생을 방지하기 위하여 형성하는 것으로, 예를 들면 상기



제2 베이스 반도체층(60)의 형성 전에 필요한 부분에 n형의 불순물을 이온 주입하는 방법으로 형성될 수 있다. 상기 제1 SIC 영역(92)은  $1 \times 10^{11} \sim 1 \times 10^{13} \text{ cm}^{-2}$  정도의 낮은 도핑 농도로 형성될 수 있다.

- <45> 제2 SIC 영역(94)은 바이폴라 고속 트랜지스터의 고전류 영역에서 컷오프 주파수( $f_T$ )를 저하시키는 커크 효과 (Kirk effect)를 억제하기 위하여 형성하는 것으로, 도 4에서 설명한 바와 같이 제2 절연막 패턴(42)이 형성된 후, 또는 제1 베이스 반도체층(40)을 형성하기 전에 필요한 부분에 n형의 불순물을 이온 주입하는 방법으로 형성될 수 있다. 상기 제2 SIC 영역(94)이 형성됨으로써 콜렉터의 직렬 저항이 감소되고, 동작 속도가 향상될 수 있다.

#### 【발명의 효과】

- <46> 본 발명에 따른 바이폴라 트랜지스터는 SiGe층으로 이루어지는 제1 베이스 반도체층 위에 상기 제1 베이스 반도체층과 동일한 물질로 이루어지고 동일한 도전형질을 가지는 제2 베이스 반도체층이 형성되어 있다. 상기 제2 베이스 반도체층 위에는 베이스 오믹층이 형성된다. 상기 제2 베이스 반도체층은 상기 베이스 오믹층 보다 저저항막으로 이루어지며, 상기 제2 베이스 반도체층에 불순물을 고농도로 첨가함으로써 베이스 전극과 에미터 전극과의 사이의 전류 저항을 감소시킬 수 있다. 또한, 콜렉터 영역에 상기 베이스 주입 영역을 형성할 필요가 없으므로, 콜렉터 영역에서 반대 도전형질의 반도체 영역간의 접합 커패시턴스를 줄일 수 있다.

- <47> 또한, 상기 제1 베이스 반도체층과 제2 베이스 반도체층에는 각각 동일한 도전형질의 불순물을 첨가할 수 있으므로, 이온 주입에 따른 결함이 발생될 염려가 없다. 그리고, 에미터 절연막의 수평 거리를 줄이는 것이 가능하여 베이스 전극과 에미터 전극과의 사

이의 전류 저항을 감소시키는 것 뿐 만 아니라 소자의 크기를 축소시키는 데 있어서 유리하다. 그리고, 상기 제1 베이스 반도체층 위에 상기 제2 베이스 반도체층을 형성함으로써 그 위에 형성되는 베이스 오믹층이 보다 안정적으로 형성될 수 있고, 그에 따라 베이스 전극과 에미터 전극 사이의 전류 저항을 효과적으로 감소시킬 수 있다.

<48>       상기와 같이, 본 발명에 따른 바이폴라 트랜지스터에서는 기생 저항 및 접합 커패시턴스를 최소화하면서 베이스 전극과 에미터 전극 사이의 전류 저항을 감소시킴으로써, 전송 효율을 증가시킬 수 있으며, 온도에 의한 신호 왜곡을 줄일 수 있어, 소신호, 저전력에 의하여 소자의 고속화 및 저잡음화를 이룰 수 있다.

<49>       이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

**【특허청구범위】****【청구항 1】**

제1 도전형의 반도체 기판과,

상기 반도체 기판상의 소자 분리 영역에 의하여 한정되는 제2 도전형의 콜렉터 영역과,

상기 콜렉터 영역의 상면으로부터 상기 소자 분리 영역의 상면까지 연장되어 있는 SiGe층으로 이루어지는 제1 도전형의 제1 베이스 반도체층과,

상기 제1 베이스 반도체층 위에 형성된 에미터 절연막에 의하여 한정되는 영역 내에서 상기 제1 베이스 반도체층과 접하도록 상기 제1 베이스 반도체층 위에 형성된 제2 도전형의 에미터 영역과,

상기 제1 베이스 반도체층의 상면중 상기 에미터 영역 및 에미터 절연막이 형성된 영역을 제외한 부분에만 형성되어 있는, 실리콘층으로 이루어지는 제1 도전형의 제2 베이스 반도체층과,

상기 제2 베이스 반도체층 위에 형성되어 있는 베이스 오믹층과,

상기 에미터 영역 위에 형성된 에미터 전극과,

상기 에미터 전극의 양 측에서 상기 제2 베이스 반도체층 위에 형성되어 있는 베이스 전극을 포함하는 것을 특징으로 하는 바이폴라 트랜지스터.

**【청구항 2】**

제1항에 있어서,

상기 제2 베이스 반도체층은 에피택셜 성장층으로 이루어지는 것을 특징으로 하는 바이폴라 트랜지스터.

**【청구항 3】**

제1항에 있어서,

상기 제1 도전형은 p형이고, 상기 제2 도전형은 n형인 것을 특징으로 하는 바이폴라 트랜지스터.

**【청구항 4】**

제1항에 있어서,

상기 콜렉터 영역의 표면 근방에서 상기 소자 분리 영역에 인접하게 형성된 제2 도전형의 제1 SIC (selectively ion implanted collector) 영역을 더 포함하는 것을 특징으로 하는 바이폴라 트랜지스터.

**【청구항 5】**

제1항에 있어서,

상기 콜렉터 영역중 상기 에미터 영역의 아래에 위치되는 부분에 형성된 제2 도전형의 제2 SIC 영역을 더 포함하는 것을 특징으로 하는 바이폴라 트랜지스터.

**【청구항 6】**

제1항에 있어서,

상기 베이스 오믹층은 금속 실리사이드로 이루어지는 것을 특징으로 하는 바이폴라 트랜지스터.

**【청구항 7】**

제6항에 있어서,

상기 베이스 오믹층은 티타늄 실리사이드 또는 코발트 실리사이드로 이루어지는 것을 특징으로 하는 바이폴라 트랜지스터.

**【청구항 8】**

제1항에 있어서,

상기 베이스 전극의 아래에서 상기 소자 분리 영역과 상기 제1 베이스 반도체층 사이에 형성된 절연막을 더 포함하는 것을 특징으로 하는 바이폴라 트랜지스터.

**【청구항 9】**

제8항에 있어서,

상기 절연막은 산화막 또는 질화막으로 이루어지는 것을 특징으로 하는 바이폴라 트랜지스터.

**【청구항 10】**

제8항에 있어서,

상기 절연막과 상기 제1 베이스 반도체층 사이에 형성된 실리콘막을 더 포함하는 것을 특징으로 하는 바이폴라 트랜지스터.

**【청구항 11】**

제1 도전형의 반도체 기판상에 소자 분리 영역에 의하여 한정된 제2 도전형의 콜렉터 영역을 형성하는 단계와,

상기 소자 분리 영역 및 콜렉터 영역의 위에 제1 도전형의 제1 베이스 반도체층을 형성하는 단계와,

상기 제1 베이스 반도체층 위에 에미터 절연막과, 상기 에미터 절연막에 의하여 상기 제1 베이스 반도체층과의 접촉 영역이 한정되는 제2 도전형의 에미터 영역을 형성하는 단계와,

상기 제1 베이스 반도체층의 상면중 상기 에미터 영역 및 에미터 절연막이 형성된 영역을 제외한 부분에 실리콘층으로 이루어지는 제1 도전형의 제2 베이스 반도체층을 형성하는 단계와,

상기 제2 베이스 반도체층 위에 베이스 오믹층을 형성하는 단계와,

상기 베이스 오믹층 위에 베이스 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 바이폴라 트랜지스터의 제조 방법.

#### 【청구항 12】

제11항에 있어서,

상기 제1 베이스 반도체층을 형성하는 단계는

선택적 에피택셜 성장 방법에 의하여 상기 콜렉터 영역에 접하는 단결정 실리콘층을 형성하는 단계와,

상기 단결정 실리콘층 위에 제1 도전형의 불순물을 포함하는 SiGe층을 형성하는 단계를 포함하는 것을 특징으로 하는 바이폴라 트랜지스터의 제조 방법.

#### 【청구항 13】

제11항에 있어서,

상기 제2 베이스 반도체층은 선택적 에피택셜 성장 방법에 의하여 형성되는 것을 특징으로 하는 바이폴라 트랜지스터의 제조 방법.

【청구항 14】

제13항에 있어서,

상기 제2 베이스 반도체층은 500 ~ 900℃의 온도 조건 하에서 형성되는 것을 특징으로 하는 바이폴라 트랜지스터의 제조 방법.

【청구항 15】

제11항에 있어서,

상기 에미터 영역이 형성된 결과물을 열처리하여 상기 제1 베이스 반도체층중 상기 에미터 영역과 접촉되는 부분에 제2 도전형 에미터를 형성하는 단계를 더 포함하는 것을 특징으로 하는 바이폴라 트랜지스터의 제조 방법.

【청구항 16】

제11항에 있어서,

상기 콜렉터 영역의 표면 근방에서 상기 소자 분리 영역에 인접한 부분에 제2 도전형의 제1 SIC 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 바이폴라 트랜지스터의 제조 방법.

【청구항 17】

제11항에 있어서,

상기 콜렉터 영역중 상기 에미터 영역의 아래에 위치되는 부분에 제2 도전형의 제2 SIC 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 바이폴라 트랜지스터의 제조 방법.

**【청구항 18】**

제11항에 있어서,

상기 제1 베이스 반도체층을 형성하기 전에, 상기 소자 분리 영역 위에 상기 콜렉터 영역을 노출시키는 절연막 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 바이폴라 트랜지스터의 제조 방법.

**【청구항 19】**

제18항에 있어서,

상기 절연막 패턴 위에 상기 콜렉터 영역을 노출시키는 실리콘막 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 바이폴라 트랜지스터의 제조 방법.

**【청구항 20】**

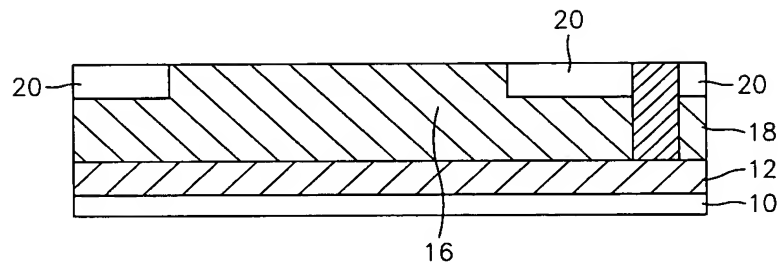
제11항에 있어서,

상기 베이스 오믹층은 금속 실리사이드로 이루어지는 것을 특징으로 하는 바이폴라 트랜지스터의 제조 방법.

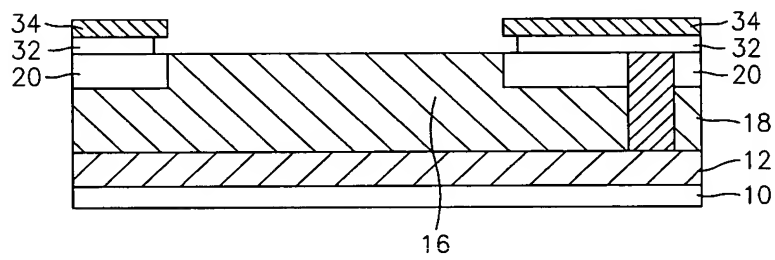


【도면】

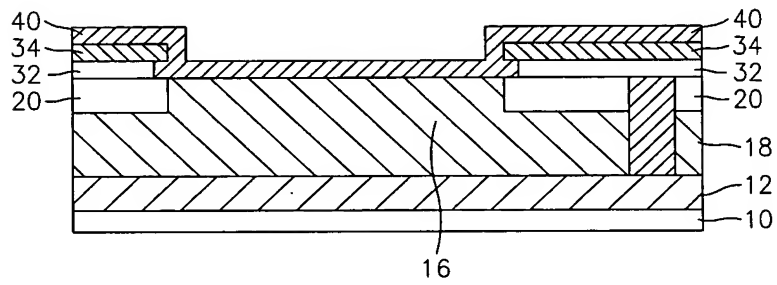
【도 1】



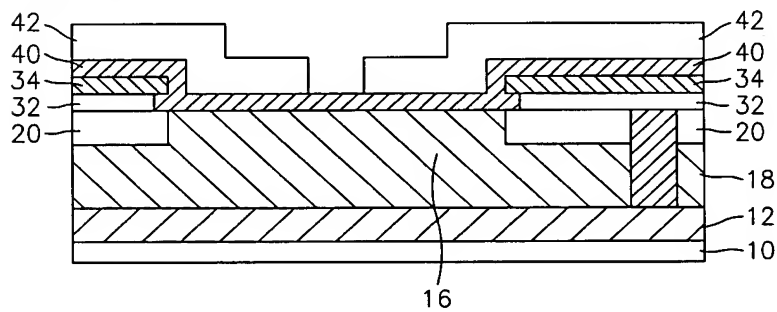
【도 2】



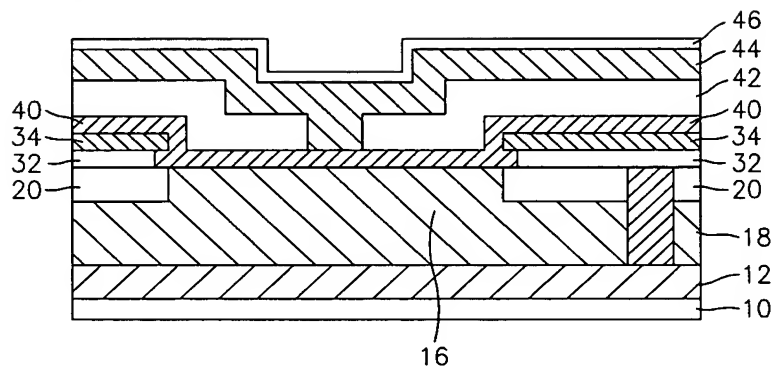
【도 3】



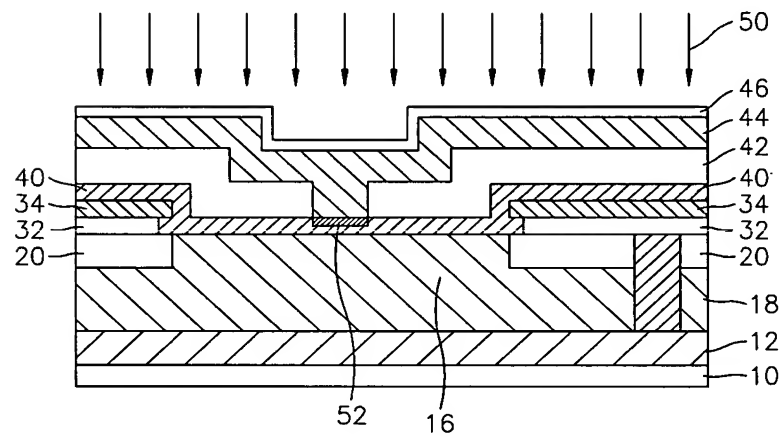
【도 4】



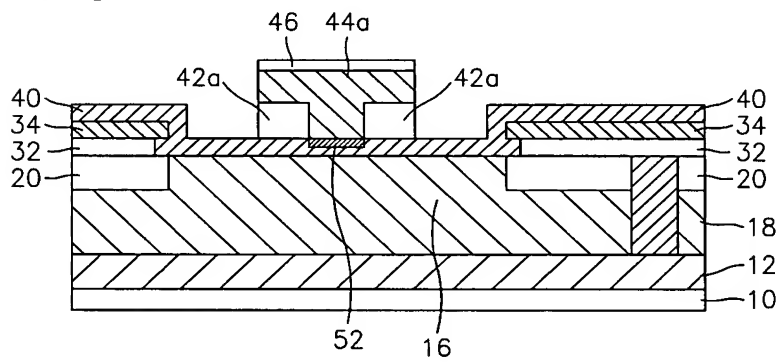
【도 5】



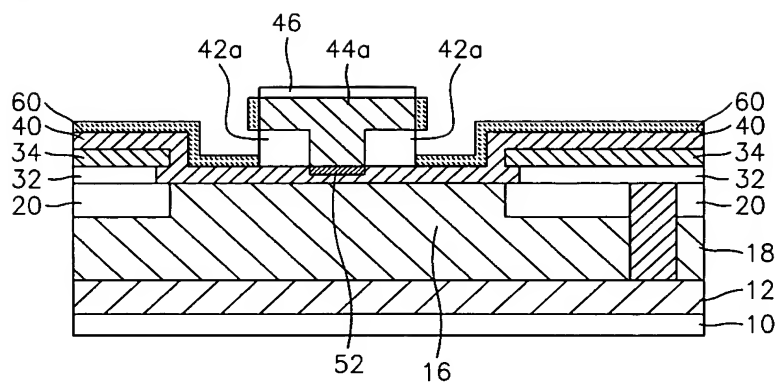
【도 6】



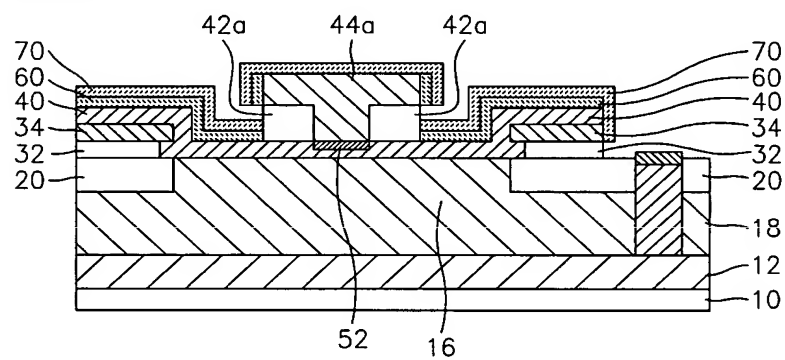
【도 7】



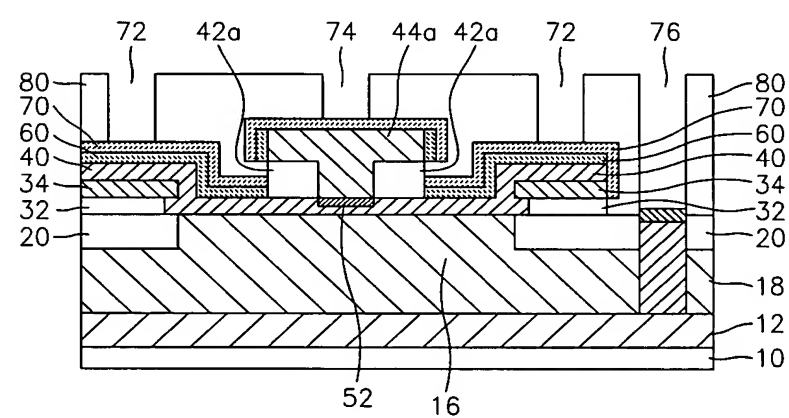
【도 8】



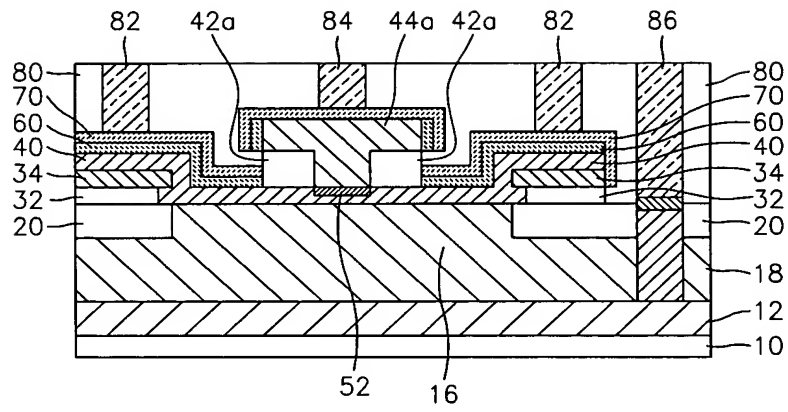
【도 9】



【도 10】



【도 11】



【도 12】

